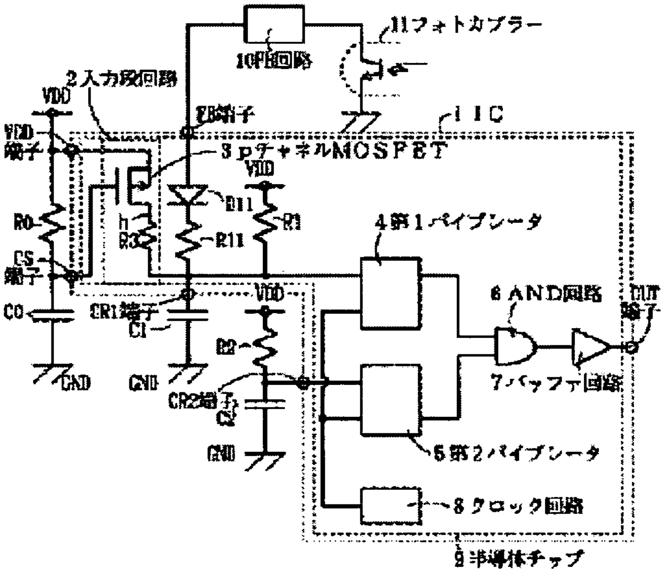
SEMICONDUCTOR INTEGRATED CIRCUIT

Patent number:	JP2001250918
Publication date:	2001-09-14
Inventor:	MOTOI YASUAKI
Applicant:	FUJI ELECTRIC CO LTD
Classification:	
- international:	H01L27/04; H01L21/822; G05F1/10; H03K17/28
- european:	
Application number:	JP20000060758 20000306
Priority number(s):	

Report a data error here

Abstract of **JP2001250918**

PROBLEM TO BE SOLVED: To provide an IC for switching power supplies that has the small number of parts, low manufacturing costs, and a soft start function.
SOLUTION: An input-stage circuit 2 is composed of a p-channel MOSFET 3 and a resistor R3, and the output current of the input stage circuit is narrowed with time when power is turned on, thus achieving a soft start function. In this case, the input-stage circuit that is composed of a conventional voltage follower circuit and an inverting amplification circuit is composed by one MOSFET or a two-stage current mirror circuit, thus greatly reducing the number of the parts, and hence reducing manufacturing costs.



Data supplied from the ***esp@cenet*** database - Patent Abstracts of Japan

[JP,2001-250918,A]

[Claim(s)]

[Claim 1] The input stage circuit which impresses supply voltage to the 1st external CR circuit and the 2nd external CR circuit, respectively, and impresses the 1st capacitor electrical potential difference which constitutes the 1st CR circuit, The 1st vibrator which impresses the output voltage and feedback voltage of this input stage circuit to an external capacitor through resistance, respectively, and outputs the 1st signal of a non-inverter based on this external capacitor electrical potential difference and a clock signal, The 2nd vibrator by which said 1st signal outputs the 2nd signal of an opposite phase based on the 2nd capacitor electrical potential difference and clock signal which constitute said 2nd CR circuit, In the semiconductor integrated circuit which the AND circuit which outputs the OR of said 1st signal and 2nd signal is provided, and pulse width is expanded with after [powering on] time amount, and outputs the pulse signal of predetermined width of face from said AND circuit by predetermined time Said input stage circuit consists of p channel MOS FET, and supply voltage is impressed to the source of this p channel MOS FET. The semiconductor integrated circuit which the capacitor electrical potential difference of said CR circuit is impressed to the gate of said p channel MOS FET, and is characterized by outputting the output signal of an input stage circuit from the drain of said p channel MOS FET.

[Claim 2] The input stage circuit which impresses supply voltage to the 1st external CR circuit and the 2nd external CR circuit, respectively, and impresses the 1st capacitor electrical potential difference which constitutes the 1st CR circuit, The 1st vibrator which impresses the output voltage and feedback voltage of this input stage circuit to an external capacitor through resistance, respectively, and outputs the 1st signal of a non-inverter based on this external capacitor electrical potential difference and a clock signal, The 2nd vibrator by which said 1st signal outputs the 2nd signal of an opposite phase based on the 2nd capacitor electrical potential difference and clock signal which constitute said 2nd CR circuit, In the semiconductor integrated circuit which the AND circuit which outputs the OR of said 1st signal and 2nd signal is provided, and pulse width is expanded with after [powering on] time amount, and outputs the pulse signal of predetermined width of face from said AND circuit by predetermined time The semiconductor integrated circuit characterized by providing the 1st step of current Miller circuit where said input stage circuit consists of two steps of current Miller circuits, and said supply voltage and capacitor electrical potential difference of said CR circuit are inputted, and the 2nd step of current Miller circuit which outputs the output signal of said input stage circuit.

[Claim 3] The input stage circuit which impresses supply voltage to the 1st external CR circuit and the 2nd external CR circuit, respectively, and impresses the 1st capacitor electrical potential difference which constitutes the 1st CR circuit, The 1st vibrator which impresses the output voltage and feedback voltage of this input stage circuit to an external capacitor through resistance, respectively, and outputs the 1st signal of a non-inverter based on this external capacitor electrical potential difference and a clock signal, The 2nd vibrator by which said 1st signal outputs the 2nd signal of an opposite phase based on the 2nd capacitor electrical potential difference and clock signal which constitute said 2nd CR circuit, In the semiconductor integrated circuit which the AND circuit which outputs the OR of said 1st signal and 2nd signal is provided, and pulse width is expanded with after [powering on] time amount, and outputs the pulse signal of predetermined width of face from said AND circuit by predetermined time The 1st step of current Miller circuit where said input stage circuit consists of two steps of current Miller circuits, and said supply voltage and capacitor electrical potential difference of said CR circuit are inputted, The semiconductor integrated circuit characterized by providing the 2nd step of current Miller circuit which outputs the output signal of said input stage circuit, and inputting said feedback signal into said the 2nd step of current Miller circuit.

[Detailed Description of the Invention]
[0001]
[Field of the Invention] This invention is the semiconductor integrated circuits for switching power supplies etc., and relates to the semiconductor integrated circuit which has the function to which the soft start of the switching power supply etc. is carried out especially.
[0002]
[Description of the Prior Art] the thing of again examination -- drawing 4 is the block diagram of the switching power supply circuit which has a soft start function. This block diagram consists of the semiconductor integrated circuit 51 (henceforth IC) for switching power supplies, external CR circuits 59a and 59b, the C circuit 60, the FB circuit 57, MOSFET52 controlled by this IC51, a transformer 53, DC power supply 58, diode that is connected to the output side of a transformer 53 and that is not illustrated, an output voltage detecting element 55, and a photo coupler 56 driven with the feedback signal from this output voltage detecting element 55. 54 in drawing is a load. Moreover, VDD is the supply voltage of IC51. In addition, in aforementioned C, a capacitor and R show resistance and FB shows feedback.

[0003] In drawing 4 , although the supply voltage VDD of IC51 rises for a short time and reaches the last attainment electrical potential difference after a switching power supply circuit starts (after the power source was switched on), the electrical potential difference of C51, C52, and C53 rises gradually. If the square wave electrical potential difference to which pulse width becomes large is outputted and this square wave electrical potential difference is given to the gate of MOSFET52 with time amount from the OUT terminal of IC51 at this time, the power supplied to a load 54 through a transformer 53 will increase with time amount. That is, the soft start of the electric power supply to a load 54 is carried out after powering on.

[0004] Moreover, when the electrical potential difference supplied to a load 54 falls, a photo coupler 56 operates on the detection electrical potential difference outputted from the electrical-potential-difference detecting element 55, and the output current of this photo coupler 56 decreases. This current that decreased is inputted into the FB circuit 57, and a low electrical potential difference is outputted to FB terminal from the FB circuit 57. If IC51 receives this low electrical potential difference, the square wave electrical potential difference of large pulse width will be outputted from an OUT terminal, the supply voltage to a load 54 will be raised, sag will be compensated, and the electrical potential difference of fixed height will always be supplied to a load.

[0005] Drawing 5 is the circuit diagram of the conventional IC for switching power supplies. The voltage follower circuit 63 where this IC51 consisted of op amplifiers 65 (operational amplifier), The inversed amplification 64 which consisted of op amplifiers 66, and the 1st vibrator 67, The 2nd vibrator 68, diodes D61 and D62, and resistance R61, R62, and R63, It consists of each terminal connected with the semiconductor chip 61 with which AND circuit 70, a buffer circuit 71, and the clock circuit 69 are formed, and this semiconductor chip 61 by the bonding wire. Each terminal consists of an OUT terminal which are CS terminal linked to resistance of external RC circuits 59a and 59b, and the node of a capacitor, CR1 terminal, CR2 terminal, and an output terminal, and a FB terminal which transmits a feedback signal to a semiconductor chip 51 via a photo coupler 56 and the FB circuit 57.

[0006] Drawing 6 is the wave of the circuit of drawing 5 of operation, the wave of each point and this drawing (b) lengthen a time-axis, and this drawing (a) expresses the wave of f points of this drawing (a). Actuation of IC51 and the wave of each part are explained using drawing 4 , drawing 5 , and drawing 6 . The charge of a power source inputs the electrical potential difference (wave of a points of drawing 6 (a)) of the capacitor C51 of CR circuit 59a which goes up gradually in the voltage follower circuit 63 from CS terminal of a points. The electrical potential difference (wave of b points of drawing 6 (a)) of b points which is the output voltage of this voltage follower circuit 63 also rises gradually. A period until this electrical potential difference is inputted into inversed amplification 64 and this electrical potential difference exceeds reference voltage E A high fixed electrical potential difference (VDD) is outputted, and the electrical potential difference of c points which is the output voltage of inversed amplification 64 decreases with lifting of capacitor C51 electrical potential difference from the event of exceeding reference voltage E (wave of c points of drawing 6 (a)).

[0007] The electrical potential difference of d points is an electrical potential difference of C53, and it charges through R63 from VDD, and it is the electrical potential difference of VDD until the clock signal outputted from the clock circuit 69 is inputted into the 1st vibrator 67. When a clock signal is inputted into the 1st vibrator 67, the 1st vibrator 67 operates and C53 is made to discharge. Therefore, the electrical potential difference of d points falls. When this electrical potential difference becomes a predetermined value, the discharge to the 1st vibrator 67 stops, the charging current flows from the input stage circuit 62 to C53, and the electrical potential difference of d points rises and returns to VDD again. At this time, since the supply voltage to a load is small, contribution of the inrush current from FB terminal is very small.

[0008] It depends for the R/C of the electrical potential difference of d points on the magnitude of the current from the input stage circuit 62. It depends for the magnitude of this current on the height of the electrical potential difference of c points. Therefore, in the field to which the electrical potential difference of c points falls with time amount, the R/C of the electrical potential difference of d points falls with time amount. Therefore, the depression period of the electrical potential difference of d points is expanded with time amount (wave of d points of drawing 6 (a)). If the clock signal (wave of ck of drawing 6 (a)) from the clock circuit 69 is inputted into the 1st vibrator 67 as this electrical potential difference of d points It synchronizes with a clock signal from Q terminal of the 1st vibrator 67. The electrical potential difference of c points in the period of VDD In the period when the signal of narrow fixed pulse width and the electrical potential difference of c points become low with time amount, the square wave signal which pulse width (W1) (it is in agreement with the depression period of c points) expands with time amount is outputted (e1 point wave of drawing 6 (a)).

[0009] On the other hand, it charges through R52 and the electrical potential difference of C52 is the electrical potential difference of VDD until a clock signal is inputted into the 2nd vibrator 68. When a clock signal is inputted, the 2nd vibrator 68 operates and C52 is made to discharge. Therefore, the electrical potential difference of C52 falls. When this electrical potential difference becomes a predetermined value, the discharge to the 2nd vibrator 68 stops, the charging current flows through R52, and the electrical potential difference of C52 rises and returns to VDD again. The R/C of this electrical potential difference of C52 is decided by the time constant of C52xR52, and is regularity. Therefore, the depression period of the electrical potential difference of C52 is also fixed.

[0010] If this electrical potential difference and clock signal of C52 are inputted into the 2nd vibrator 68, from Q bar terminal of the 2nd vibrator 68, it synchronizes with a clock signal, and the output signal from Q terminal will be a signal of an opposite phase, and a square wave signal with fixed pulse width (W2) will be outputted (e2 point wave of drawing 6 (a)). The square wave signal with which the pulse width outputted from the aforementioned Q terminal spreads gradually, When the square wave signal of the fixed pulse width outputted from Q bar terminal is inputted into AND circuit 70, the output signal of AND circuit 70 The square wave signal with which pulse width (deltaW) spreads gradually is outputted from the event of pulse width being zero and the period when the pulse width of the square wave signal of Q is smaller than the pulse width of the square wave signal of Q bar becoming large (wave of f points of drawing 6 (a)). This signal is inputted into a buffer circuit 71, and from a buffer circuit 71, it operates orthopedically to the gate signal which can drive MOSFET52 of drawing 4 , and outputs to an OUT terminal. From this OUT terminal, the rectangle form electrical potential difference on which pulse width spreads [early BARUSU width of face] gradually in zero is outputted. If MOSFET52 drives on this square wave electrical potential difference, as described above, the power which increases gradually will be supplied to a load 54, and the soft start of the electric power supply to a load 54 will be carried out to it.

[0011] As described above, when the electrical potential difference supplied to a load 54 falls in a steady state, the feedback voltage impressed from FB terminal also falls, therefore the electrical potential difference of C53 falls, and the pulse width of the output voltage from an OUT terminal spreads. Consequently, the electrical potential difference which compensates the lowered electrical potential difference is supplied to a load 54, and the supply voltage to a load returns to it at a fixed electrical potential difference.

[0012]

[Problem(s) to be Solved by the Invention] This soft start function was given to the circuit which consists of a voltage follower circuit and inversed amplification in the aforementioned conventional semiconductor integrated circuit. However, there are very many components mark which constitute these circuits as dozens of points. Therefore, the conventional semiconductor integrated circuit had the high manufacturing cost.

[0013] The object of this invention solves the aforementioned technical problem, and there are few components mark, and it is to offer the semiconductor integrated circuit which has the soft start function that a manufacturing cost is low.

[0014]

[Means for Solving the Problem] The input stage circuit which impresses supply voltage to the 1st external CR circuit and the 2nd external CR circuit, respectively, and impresses the 1st capacitor electrical potential difference which constitutes the 1st CR circuit in order to attain the aforementioned object, The 1st vibrator which impresses the output voltage and feedback voltage of this input stage circuit to an external capacitor through resistance, respectively, and outputs the 1st signal of a non-inverter based on this external capacitor electrical potential difference and a clock signal, The 2nd vibrator by which said 1st signal outputs the 2nd signal of an opposite phase based on the 2nd capacitor electrical potential difference and clock signal which constitute said 2nd CR circuit, In the semiconductor integrated circuit which the AND circuit which outputs the OR of said 1st signal and 2nd signal is provided, and pulse width is expanded with after [powering on] time amount, and outputs the pulse signal of predetermined width of face from said AND circuit by predetermined time Said input stage circuit consists of p channel MOS FET, and supply voltage is impressed to the source of this p channel MOS FET. The capacitor electrical potential difference of said CR circuit is impressed to the gate of said p channel MOS FET, and it considers as the configuration to which the output signal of an input stage circuit is outputted from the drain of said p channel MOS FET.

[0015] It is good to consider as the configuration possessing the 1st step of current Miller circuit where said input stage circuit consists of two steps of current Miller circuits, and said supply voltage and capacitor electrical potential difference of said CR circuit are inputted, and the 2nd step of current Miller circuit which outputs the output signal of said input stage circuit. It is good for said input stage circuit to consist of two steps of current Miller circuits, to provide the 1st step of current Miller circuit where said supply voltage and capacitor electrical potential difference of said CR circuit are inputted, and the 2nd step of current Miller circuit which outputs the output signal of said input stage circuit, and for said feedback signal to consider as the configuration inputted into said the 2nd step of current Miller circuit.

[0016]

[Embodiment of the Invention] Drawing 1 is drawing showing the semiconductor integrated circuit of the 1st example of this invention. A semiconductor integrated circuit (IC1) shows the circuit diagram equivalent to the part of IC51 shown by the conventional dotted line. Moreover, the input stage circuit 2 is equivalent to the input stage circuit 62 of drawing 5 , and is constituted from this invention by p channel MOS FET3 and resistance R3. It connects with a VDD terminal and the source of p channel MOS FET3, connects with CS terminal and the gate of p channel MOS FET3, connects with the drain of p channel MOS FET3, and the end of resistance R3, and connects with the end of a capacitor C1 through the other end of R3, and CR1 terminal. Although the function of this input stage circuit 2 is the same as the input stage circuit 62 of drawing 5 , components mark are reducing it substantially with two pieces. Therefore, a manufacturing cost can decrease substantially.

[0017] In drawing 1 , when a power source is switched on, the electrical potential difference of a capacitor C0 rises gradually. Therefore, the gate voltage of VDD-C0 is impressed to the gate of p channel MOS FET3. Since this gate voltage is a high electrical potential difference to a threshold electrical potential difference, p channel MOS FET3 will be in an ON state, and the current which flows through p channel MOSes FET and R3 flows into C1. If the electrical potential difference of C0 rises with time amount, gate voltage will become low and the current which flows to p channel MOS FET3 will be extracted. If gate voltage becomes low and furthermore becomes below a threshold, p channel MOS FET3 will stop the current which will be in an OFF state and flows to C1.

[0018] The first stage becomes the wave which is VDD and falls with time amount, and the electrical potential difference of h points is equivalent to the wave after the fixed field of the electrical potential difference of c points of drawing 6 (a). Therefore, each wave of C1, the output of the 1st vibrator 4, the output of the 2nd vibrator 5, and the output of AND circuit 6 turns into d points of drawing 6 (a), e1, and a wave equivalent to the wave of the e2 jump f. Therefore, the rectangle form electrical potential difference on which pulse width spreads

[early BARUSU width of face] gradually in zero is outputted from an OUT terminal through a buffer circuit 7. If MOSFET52 drives on this square wave electrical potential difference, the power which increases gradually will be supplied to a load 54, and the soft start of the electric power supply to a load 54 will be carried out to it.

[0019] in addition, parts other than input stage circuit 2 -- parts other than input stage circuit 62 of drawing 5 -- corresponding -- D11 in drawing -- D62 and R -- 11R62 and R1 -- R -- 70 and 7 are equivalent to 71 and 8 is [63 and 4 / 67 and 5] equivalent to 69 for 68 and 6. Moreover, in order to start an electric power supply quickly to a load, R3 in drawing can be deleted. Drawing 2 is drawing showing the semiconductor integrated circuit of the 2nd example of this invention. Current Miller circuit consists of two steps for the part equivalent to drawing 1 . a VDD terminal and the source of p channel MOS FET 21, 22, and 23 -- connecting -- CS terminal and the gate of p channel MOS FET21 -- connecting -- drain connection of the drain of p channel MOS FET21, and n channel MOS FET24 -- it carries out. It connects with the drain of n channel MOS FET24, and the gate of n channel MOS FET25. The drain of p channel MOS FET22 and the gate of p channel MOS FET23 are connected. The drain of p channel MOS FET22 and the drain of n channel MOS FET25 are connected. Gland GND is connected with the source of n channel MOS FET24, and the source of n channel MOS FET25, respectively. The drain of p channel MOS FET23 and the end of resistance R21 are connected.

[0020] The 1st step of current Miller circuit consists of p channel MOS FET21, n channel MOS FET24, and n channel MOS FET25, and the 2nd step of current Miller circuit consists of p channel MOS FET22, p channel MOS FET23, and n channel MOS FET25. Resistance R21 is connected with the drain of p channel MOS FET23. The input of the input stage circuit 20 is the gate of p channel MOS FET21, and an output is the other end of resistance R21.

[0021] The output current (drain current of p channel MOS FET23) of the input stage circuit 20 is changeable into arbitration by changing the area of each MOSFET which constitutes current Miller circuit unlike drawing 1 . Consequently, the rate which the depression period of the electrical potential difference of C1 linked to CR1 terminal expands with time amount can be adjusted to arbitration. Rather than drawing 1 , this circuit is too reduced substantially compared with the circuit of drawing 5 , although there are many components mark. Therefore, a manufacturing cost can also be reduced.

[0022] In addition, in order to start an electric power supply quickly to a load, R21 in drawing can be deleted. Drawing 3 is drawing showing the semiconductor integrated circuit of the 3rd example of this invention. It is the circuit which removed the FB circuit 10 and photo coupler 11 linked to FB terminal of the circuit of drawing 1 , added photograph KAPU 37 and the FB circuit 38 which are a circuit of FB signal transmission to the drain of p channel MOS FET32 equivalent to p channel MOS FET22 of the circuit of drawing 2 , and was connected. In addition, 31, 33, 34 and 35 in drawing, and R31 are equivalent to 21, 23, 24 and 25 of drawing 2 R> 2, and R21, respectively.

[0023] Since actuation of the input stage circuit 30 of a power up is the same as the input stage circuit 20 of drawing 2 R> 2, explanation is omitted. By the steady state, if the electrical potential difference impressed to a load falls, the current which flows into the FB circuit 38 will become small, and the drain current of p channel MOS FET33 will become small. This means that the output current of the input stage circuit 30 becomes small. If the output current of this input stage circuit 30 becomes small, as explained above, the pulse width of the square wave electrical potential difference outputted from the OUT terminal of IC1 will spread, and the electrical potential difference supplied to a load will rise. Consequently, sag is compensated and a fixed electrical potential difference is supplied to a load. Compared with the circuit of drawing 5 , components mark are reducing this circuit substantially. Therefore, a manufacturing cost can also be reduced.

[0024]

[Effect of the Invention] According to this invention, components mark can be substantially reduced with constituting the input stage circuit which consists of conventional voltage follower circuits and inversed amplification from one MOSFET or two steps of current Miller circuits. Consequently, reduction of a manufacturing cost can be performed.

3-1

(19)日本国特許庁（ＪＰ）

(12) **公開特許公報**（Ａ）

(11)特許出願公開番号
特開2001－250918
（P2001－250918A）

(43)公開日　平成13年９月14日(2001.9.14)

(51)Int.Cl.^{7}	識別記号	ＦＩ	テーマコード゛(参考)
Ｈ０１Ｌ　27/04		Ｇ０５Ｆ　1/10　３０３Ｂ	５Ｆ０３８
21/822		Ｈ０３Ｋ　17/28	５Ｈ４１０
Ｇ０５Ｆ　1/10	３０３	Ｈ０１Ｌ　27/04　Ｂ	５Ｊ０５５
Ｈ０３Ｋ　17/28			

審査請求　未請求　請求項の数３　ＯＬ　（全　７　頁）

(21)出願番号	特願2000－60758(P2000－60758)
(22)出願日	平成12年３月６日(2000.3.6)
(71)出願人	000005234 富士電機株式会社 神奈川県川崎市川崎区田辺新田１番１号
(72)発明者	本井　康朗 神奈川県川崎市川崎区田辺新田１番１号 富士電機株式会社内
(74)代理人	100088339 弁理士　篠部　正治

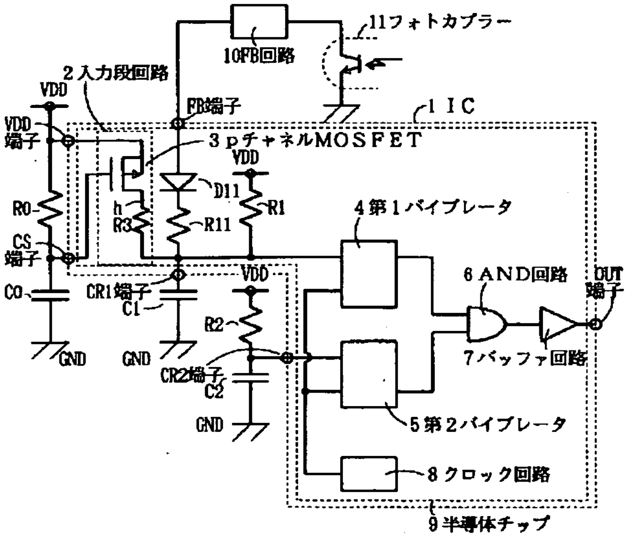
最終頁に続く

(54)【発明の名称】　半導体集積回路

(57)【要約】　　（修正有）

【課題】スイッチング電源用ＩＣにおいて、部品点数が少なく、製造コストが低い、ソフトスタート機能を有するＩＣを提供すること。

【解決手段】入力段回路２をｐチャネルＭＯＳＦＥＴ３と抵抗Ｒ３で構成し、電源投入時に入力段回路の出力電流を時間と共に絞り込むことで、ソフトスタート機能を持たせる。この発明によれば、従来のボルテージフォロワ回路と反転増幅回路で構成される入力段回路を、ＭＯＳＦＥＴ１個または２段の電流ミラー回路で構成することで、大幅に部品点数を低減できる。その結果、製造コストの低減ができる。



【特許請求の範囲】

【請求項１】電源電圧を外部の第１ＣＲ回路と第２ＣＲ回路にそれぞれ印加し、第１ＣＲ回路を構成する第１コンデンサ電圧を印加する入力段回路と、該入力段回路の出力電圧とフィードバック電圧とをそれぞれ抵抗を介して外部コンデンサに印加し、該外部コンデンサ電圧とクロック信号に基づいて正相の第１信号を出力する第１バイブレータと、前記第２ＣＲ回路を構成する第２コンデンサ電圧とクロック信号に基づいて、前記第１信号とは逆相の第２信号を出力する第２バイブレータと、前記第１信号と第２信号との論理和を出力するＡＮＤ回路とを具備し、電源投入後時間とともにパルス幅が拡大し、所定時間で所定幅のパルス信号を前記ＡＮＤ回路から出力する半導体集積回路において、前記入力段回路が、ｐチャネルＭＯＳＦＥＴで構成され、該ｐチャネルＭＯＳＦＥＴのソースに電源電圧が印加され、前記ｐチャネルＭＯＳＦＥＴのゲートに、前記ＣＲ回路のコンデンサ電圧が印加され、前記ｐチャネルＭＯＳＦＥＴのドレインから、入力段回路の出力信号が出力されることを特徴とする半導体集積回路。

【請求項２】電源電圧を外部の第１ＣＲ回路と第２ＣＲ回路にそれぞれ印加し、第１ＣＲ回路を構成する第１コンデンサ電圧を印加する入力段回路と、該入力段回路の出力電圧とフィードバック電圧とをそれぞれ抵抗を介して外部コンデンサに印加し、該外部コンデンサ電圧とクロック信号に基づいて正相の第１信号を出力する第１バイブレータと、前記第２ＣＲ回路を構成する第２コンデンサ電圧とクロック信号に基づいて、前記第１信号とは逆相の第２信号を出力する第２バイブレータと、前記第１信号と第２信号との論理和を出力するＡＮＤ回路を具備し、電源投入後時間とともにパルス幅が拡大し、所定時間で所定幅のパルス信号を前記ＡＮＤ回路から出力する半導体集積回路において、

前記入力段回路が、２段の電流ミラー回路で構成され、前記電源電圧と前記ＣＲ回路のコンデンサ電圧が入力される１段目の電流ミラー回路と、前記入力段回路の出力信号を出力する２段目の電流ミラー回路とを具備することを特徴とする半導体集積回路。

【請求項３】電源電圧を外部の第１ＣＲ回路と第２ＣＲ回路にそれぞれ印加し、第１ＣＲ回路を構成する第１コンデンサ電圧を印加する入力段回路と、該入力段回路の出力電圧とフィードバック電圧とをそれぞれ抵抗を介して外部コンデンサに印加し、該外部コンデンサ電圧とクロック信号に基づいて正相の第１信号を出力する第１バイブレータと、前記第２ＣＲ回路を構成する第２コンデンサ電圧とクロック信号に基づいて、前記第１信号とは逆相の第２信号を出力する第２バイブレータと、前記第１信号と第２信号との論理和を出力するＡＮＤ回路を具備し、電源投入後時間とともにパルス幅が拡大し、所定時間で所定幅のパルス信号を前記ＡＮＤ回路から出力する半導体集積回路において、

前記入力段回路が、２段の電流ミラー回路で構成され、前記電源電圧と前記ＣＲ回路のコンデンサ電圧が入力される１段目の電流ミラー回路と、前記入力段回路の出力信号を出力する２段目の電流ミラー回路とを具備し、前記フィードバック信号が、前記２段目の電流ミラー回路に入力されることを特徴とする半導体集積回路。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】この発明は、スイッチング電源用などの半導体集積回路で、特に、スイッチング電源などをソフトスタートさせる機能を有する半導体集積回路に関する。

【０００２】

【従来の技術】再度検討のこと図４は、ソフトスタート機能を有するスイッチング電源回路の構成図である。この構成図は、スイッチング電源用の半導体集積回路５１（以下、ＩＣという）と、外付けのＣＲ回路５９ａ、５９ｂと、Ｃ回路６０と、ＦＢ回路５７と、このＩＣ５１で制御されるＭＯＳＦＥＴ５２と、トランス５３と、直流電源５８と、トランス５３の出力側に接続される図示しないダイオードと、出力電圧検出部５５と、この出力電圧検出部５５からのフィードバック信号で駆動されるフォトカプラー５６とで構成される。図中の５４は負荷である。また、VDDはＩＣ５１の電源電圧である。尚、前記のＣはコンデンサ、Ｒは抵抗、ＦＢはフィードバックを示す。

【０００３】図４において、スイッチング電源回路が起動した後（電源が投入された後）、ＩＣ５１の電源電圧VDDは短時間で上昇し、最終到達電圧に達するが、Ｃ５１、Ｃ５２、Ｃ５３の電圧は徐々に上昇する。このとき、ＩＣ５１のＯＵＴ端子から、時間と共に、パルス幅が広くなる矩形波電圧が出力され、この矩形波電圧がＭＯＳＦＥＴ５２のゲートに与えられると、トランス５３を介して負荷５４へ供給される電力は、時間と共に増大する。つまり、電源投入後、負荷５４への電力供給をソフトスタートさせる。

【０００４】また、負荷５４へ供給される電圧が低下した場合、電圧検出部５５から出力される検出電圧でフォトカプラー５６が動作し、このフォトカプラー５６の出力電流が減少する。この減少した電流をＦＢ回路５７に入力して、ＦＢ回路５７からＦＢ端子に低い電圧が出力される。この低い電圧をＩＣ５１が受けると、ＯＵＴ端子から広いパルス幅の矩形波電圧が出力されて、負荷５４への供給電圧を上昇させて、電圧低下を補償し、一定の高さの電圧が常時、負荷に供給される。

【０００５】図５は、従来のスイッチング電源用ＩＣの回路図である。このＩＣ５１は、ＯＰアンプ６５（演算増幅器）で構成されたボルテージフォロア回路６３と、ＯＰアンプ６６で構成された反転増幅回路６４と、第１

バイブレータ６７と、第２バイブレータ６８と、ダイオードＤ６１、Ｄ６２と、抵抗Ｒ６１、Ｒ６２、Ｒ６３と、ＡＮＤ回路７０と、バッファ回路７１と、クロック回路６９とが形成される半導体チップ６１と、この半導体チップ６１とボンディングワイヤで接続される各端子とで構成される。各端子は、外部のＲＣ回路５９ａ、５９ｂの抵抗とコンデンサの接続点と接続するＣＳ端子、ＣＲ１端子、ＣＲ２端子および出力端子であるＯＵＴ端子と、フィードバック信号をフォトカプラー５６とＦＢ回路５７を経由して半導体チップ５１に伝送するＦＢ端子とで構成されている。

【０００６】図６は、図５の回路の動作波形で、同図（ａ）は各点の波形、同図（ｂ）は同図（ａ）のｆ点の波形を時間軸を長くして表したものである。図４と図５および図６を用いて、ＩＣ５１の動作と各部の波形を説明する。電源が投入されると、ａ点のＣＳ端子からボルテージフォロア回路６３に、徐々に上昇するＣＲ回路５９ａのコンデンサＣ５１の電圧（図６（ａ）のａ点の波形）が入力される。このボルテージフォロア回路６３の出力電圧であるｂ点の電圧（図６（ａ）のｂ点の波形）も徐々に上昇し、この電圧が反転増幅回路６４に入力され、この電圧が、基準電圧Ｅを超えるまでの期間は、一定の高い電圧（ＶＤＤ）が出力され、基準電圧Ｅを超えた時点から、反転増幅回路６４の出力電圧であるｃ点の電圧は、コンデンサＣ５１電圧の上昇に伴って、減少する（図６（ａ）のｃ点の波形）。

【０００７】ｄ点の電圧は、Ｃ５３の電圧であり、クロック回路６９から出力されるクロック信号が第１バイブレータ６７に入力されるまでは、ＶＤＤからＲ６３を介して充電されて、ＶＤＤの電圧となっている。クロック信号が第１バイブレータ６７に入力されると、第１バイブレータ６７が動作して、Ｃ５３を放電させる。そのため、ｄ点の電圧は低下する。この電圧が所定の値になった時点で、第１バイブレータ６７への放電は停止し、入力段回路６２からＣ５３へ充電電流が流れてｄ点の電圧は上昇し、再びＶＤＤに戻る。このとき、負荷への供給電圧は小さいために、ＦＢ端子からの流入電流の寄与は極めて小さい。

【０００８】ｄ点の電圧の上昇率は、入力段回路６２からの電流の大きさに依存する。この電流の大きさは、ｃ点の電圧の高さに依存する。従って、ｃ点の電圧が時間と共に低下する領域では、ｄ点の電圧の上昇率は時間と共に低下する。従って、ｄ点の電圧の落ち込み期間は、時間と共に拡大する（図６（ａ）のｄ点の波形）。このｄ点の電圧と、クロック回路６９からのクロック信号（図６（ａ）のｃｋの波形）が、第１バイブレータ６７に入力されると、第１バイブレータ６７のＱ端子から、クロック信号に同期して、ｃ点の電圧がＶＤＤの期間では、狭い一定のパルス幅の信号、ｃ点の電圧が時間と共に低くなる期間では、時間と共にパルス幅（Ｗ１）（ｃ点の落ち込み期間と一致する）が拡大する矩形波信号が出力される（図６（ａ）のｅ１点の波形）。

【０００９】一方、Ｃ５２の電圧は、クロック信号が第２バイブレータ６８へ入力されるまでは、Ｒ５２を介して充電され、ＶＤＤの電圧となっている。クロック信号が入力されると、第２バイブレータ６８が動作して、Ｃ５２を放電させる。そのため、Ｃ５２の電圧は低下する。この電圧が所定の値になった時点で、第２バイブレータ６８への放電は停止し、Ｒ５２を介して充電電流が流れて、Ｃ５２の電圧は上昇し、再びＶＤＤに戻る。このＣ５２の電圧の上昇率はＣ５２×Ｒ５２の時定数で決まり一定である。そのため、Ｃ５２の電圧の落ち込み期間も一定である。

【００１０】このＣ５２の電圧とクロック信号が第２バイブレータ６８に入力されると、第２バイブレータ６８のＱバー端子から、クロック信号と同期し、Ｑ端子からの出力信号とは逆相の信号で、パルス幅（Ｗ２）が一定の矩形波信号が出力される（図６（ａ）のｅ２点の波形）。前記のＱ端子から出力されるパルス幅が徐々に広がる矩形波信号と、Ｑバー端子から出力される一定のパルス幅の矩形波信号とをＡＮＤ回路７０に入力すると、ＡＮＤ回路７０の出力信号は、Ｑの矩形波信号のパルス幅がＱバーの矩形波信号のパルス幅より小さい期間は、パルス幅が零で、大きくなった時点から、パルス幅（ΔＷ）が徐々に広がる矩形波信号が出力される（図６（ａ）のｆ点の波形）。この信号をバッファ回路７１に入力し、バッファ回路７１から、図４のＭＯＳＦＥＴ５２を駆動できるゲート信号に整形して、ＯＵＴ端子に出力する。このＯＵＴ端子から、初期のパルス幅が零で、徐々にパルス幅が広がる矩形形電圧が出力される。この矩形波電圧でＭＯＳＦＥＴ５２が駆動されると、前記したように、負荷５４に徐々に増大する電力が供給され、負荷５４への電力供給がソフトスタートされる。

【００１１】前記したように、定常状態において、負荷５４に供給される電圧が低下した場合は、ＦＢ端子から印加されるフィードバック電圧も低下し、そのためＣ５３の電圧が低下し、ＯＵＴ端子からの出力電圧のパルス幅が拡がる。その結果、負荷５４へは、低下した電圧を補償する電圧が供給されて、負荷への供給電圧は一定の電圧に戻る。

【００１２】

【発明が解決しようとする課題】前記の従来の半導体集積回路では、このソフトスタート機能を、ボルテージフォロア回路と反転増幅回路で構成される回路に持たせていた。しかし、これらの回路を構成する部品点数は数十点と極めて多い。そのために、従来の半導体集積回路は製造コストが高かった。

【００１３】この発明の目的は、前記の課題を解決して、部品点数が少なく、製造コストが低い、ソフトスタート機能を有する半導体集積回路を提供することにあ

る。

【００１４】

【課題を解決するための手段】前記の目的を達成するために、電源電圧を外部の第１ＣＲ回路と第２ＣＲ回路にそれぞれ印加し、第１ＣＲ回路を構成する第１コンデンサ電圧を印加する入力段回路と、該入力段回路の出力電圧とフィードバック電圧とをそれぞれ抵抗を介して外部コンデンサに印加し、該外部コンデンサ電圧とクロック信号に基づいて正相の第１信号を出力する第１バイブレータと、前記第２ＣＲ回路を構成する第２コンデンサ電圧とクロック信号に基づいて、前記第１信号とは逆相の第２信号を出力する第２バイブレータと、前記第１信号と第２信号との論理和を出力するＡＮＤ回路とを具備し、電源投入後時間とともにパルス幅が拡大し、所定時間で所定幅のパルス信号を前記ＡＮＤ回路から出力する半導体集積回路において、前記入力段回路が、ｐチャネルＭＯＳＦＥＴで構成され、該ｐチャネルＭＯＳＦＥＴのソースに電源電圧が印加され、前記ｐチャネルＭＯＳＦＥＴのゲートに、前記ＣＲ回路のコンデンサ電圧が印加され、前記ｐチャネルＭＯＳＦＥＴのドレインから、入力段回路の出力信号が出力される構成とする。

【００１５】前記入力段回路が、２段の電流ミラー回路で構成され、前記電源電圧と前記ＣＲ回路のコンデンサ電圧が入力される１段目の電流ミラー回路と、前記入力段回路の出力信号を出力する２段目の電流ミラー回路とを具備する構成とするとよい。前記入力段回路が、２段の電流ミラー回路で構成され、前記電源電圧と前記ＣＲ回路のコンデンサ電圧が入力される１段目の電流ミラー回路と、前記入力段回路の出力信号を出力する２段目の電流ミラー回路とを具備し、前記フィードバック信号が、前記２段目の電流ミラー回路に入力される構成とするとよい。

【００１６】

【発明の実施の形態】図１は、この発明の第１実施例の半導体集積回路を示す図である。半導体集積回路（ＩＣ１）は、従来の点線で示したＩＣ５１の部分に相当する回路図を示す。また、入力段回路２は、図５の入力段回路６２に相当しており、この発明では、ｐチャネルＭＯＳＦＥＴ３と抵抗Ｒ３で構成されている。ＶＤＤ端子とｐチャネルＭＯＳＦＥＴ３のソースと接続し、ＣＳ端子とｐチャネルＭＯＳＦＥＴ３のゲートと接続し、ｐチャネルＭＯＳＦＥＴ３のドレインと抵抗Ｒ３の一端と接続し、Ｒ３の他端とＣＲ１端子を介してコンデンサＣ１の一端と接続する。この入力段回路２の機能は、図５の入力段回路６２と同じであるが、部品点数が２個と、大幅に低減している。そのため、製造コストが大幅に低減できる。

【００１７】図１において、電源が投入されたとき、コンデンサＣ０の電圧は徐々に上昇する。そのため、ｐチャネルＭＯＳＦＥＴ３のゲートには、ＶＤＤ－Ｃ０のゲート電圧が印加される。このゲート電圧は、しきい値電圧に対して高い電圧であるため、ｐチャネルＭＯＳＦＥＴ３はオン状態となり、ｐチャネルＭＯＳＦＥＴとＲ３を介して流れる電流がＣ１に流入する。Ｃ０の電圧が時間と共に上昇すると、ゲート電圧が低くなり、ｐチャネルＭＯＳＦＥＴ３に流れる電流は絞られる。さらにゲート電圧が低くなり、しきい値以下になるとｐチャネルＭＯＳＦＥＴ３はオフ状態となりＣ１に流れる電流は停止する。

【００１８】ｈ点の電圧は、初期がＶＤＤで、時間と共に低下する波形となり、図６（ａ）のｃ点の電圧の一定領域後の波形に相当する。従って、Ｃ１、第１バイブレータ４の出力、第２バイブレータ５の出力およびＡＮＤ回路６の出力の各波形は、図６（ａ）のｄ点、ｅ１、ｅ２およびｆの波形と同等の波形となる。そのため、バッファ回路７を介してＯＵＴ端子から、初期のパルス幅が零で、徐々にパルス幅が広がる矩形形電圧が出力される。この矩形波電圧でＭＯＳＦＥＴ５２が駆動されると、負荷５４に徐々に増大する電力が供給され、負荷５４への電力供給がソフトスタートされる。

【００１９】尚、入力段回路２以外の箇所は図５の入力段回路６２以外の箇所に相当し、図中のＤ１１はＤ６２、Ｒ１１はＲ６２、Ｒ１はＲ６３、４は６７、５は６８、６は７０、７は７１、８は６９に相当する。また、負荷へ電力供給を速く立ち上げるために、図中のＲ３を削除する場合もあり得る。図２は、この発明の第２実施例の半導体集積回路を示す図である。図１に相当する箇所が、電流ミラー回路が２段で構成されている。ＶＤＤ端子とｐチャネルＭＯＳＦＥＴ２１、２２、２３のソースと接続し、ＣＳ端子とｐチャネルＭＯＳＦＥＴ２１のゲートと接続し、ｐチャネルＭＯＳＦＥＴ２１のドレインとｎチャネルＭＯＳＦＥＴ２４のドレイン接続する。ｎチャネルＭＯＳＦＥＴ２４のドレインとｎチャネルＭＯＳＦＥＴ２５のゲートと接続する。ｐチャネルＭＯＳＦＥＴ２２のドレインとｐチャネルＭＯＳＦＥＴ２３のゲートを接続する。ｐチャネルＭＯＳＦＥＴ２２のドレインとｎチャネルＭＯＳＦＥＴ２５のドレインを接続する。ｎチャネルＭＯＳＦＥＴ２４のソースと、ｎチャネルＭＯＳＦＥＴ２５のソースと、グランドＧＮＤをそれぞれ接続する。ｐチャネルＭＯＳＦＥＴ２３のドレインと抵抗Ｒ２１の一端を接続する。

【００２０】１段目の電流ミラー回路は、ｐチャネルＭＯＳＦＥＴ２１、ｎチャネルＭＯＳＦＥＴ２４、ｎチャネルＭＯＳＦＥＴ２５で構成され、２段目の電流ミラー回路は、ｐチャネルＭＯＳＦＥＴ２２、ｐチャネルＭＯＳＦＥＴ２３、ｎチャネルＭＯＳＦＥＴ２５で構成される。ｐチャネルＭＯＳＦＥＴ２３のドレインと抵抗Ｒ２１を接続する。入力段回路２０の入力はｐチャネルＭＯＳＦＥＴ２１のゲートで、出力は抵抗Ｒ２１の他端である。

【００２１】図１と違って、電流ミラー回路を構成する各ＭＯＳＦＥＴの面積を変えることで、入力段回路２０の出力電流（ｐチャネルＭＯＳＦＥＴ２３のドレイン電流）を任意に変えることができる。その結果、ＣＲ１端子に接続するＣ１の電圧の落ち込み期間が時間と共に拡大する割合を任意に調整できる。この回路は、図１よりは、部品点数は多いが、図５の回路に比べるとやはり大幅に低減している。そのため、製造コストも低減できる。

【００２２】尚、負荷へ電力供給を速く立ち上げるために、図中のＲ２１を削除する場合もあり得る。図３は、この発明の第３実施例の半導体集積回路を示す図である。図１の回路のＦＢ端子と接続するＦＢ回路１０とフォトカプラー１１を除去し、図２の回路のｐチャネルＭＯＳＦＥＴ２２に相当するｐチャネルＭＯＳＦＥＴ３２のドレインに、ＦＢ信号伝送の回路であるフォトカプラー３７とＦＢ回路３８を追加し、接続した回路である。尚、図中の３１、３３、３４、３５およびＲ３１は、図２の２１、２３、２４、２５およびＲ２１にそれぞれ相当する。

【００２３】電源投入時の入力段回路３０の動作は、図２の入力段回路２０と同じであるので、説明は省略する。定常状態で、負荷に印加される電圧が低下すると、ＦＢ回路３８に流れ込む電流が小さくなり、ｐチャネルＭＯＳＦＥＴ３３のドレイン電流が小さくなる。これは入力段回路３０の出力電流が小さくなることを意味する。この入力段回路３０の出力電流が小さくなると、前記で説明したように、ＩＣ１のＯＵＴ端子から出力される矩形波電圧のパルス幅が拡がり、負荷に供給される電圧は上昇する。その結果、電圧低下は補償されて一定の電圧が負荷に供給される。この回路は、図５の回路と比べると部品点数は大幅に低減している。そのため製造コストも低減できる。

【００２４】

【発明の効果】この発明によれば、従来のボルテージフォロワ回路と反転増幅回路で構成される入力段回路を、ＭＯＳＦＥＴ１個または２段の電流ミラー回路で構成することで、大幅に部品点数を低減できる。その結果、製造コストの低減ができる。

【図面の簡単な説明】

【図１】この発明の第１実施例の半導体集積回路を示す図

【図２】この発明の第２実施例の半導体集積回路を示す図

【図３】この発明の第３実施例の半導体集積回路を示す図

【図４】ソフトスタート機能を有するスイッチング電源回路の構成図

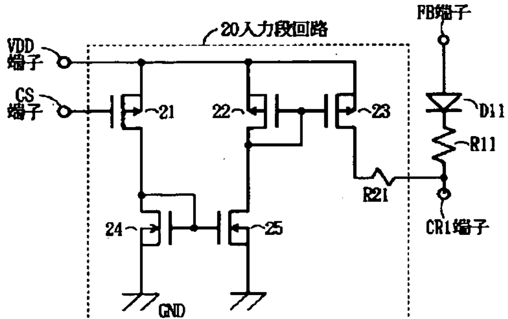
【図５】従来のスイッチング電源用ＩＣの回路図

【図６】図５の回路の動作波形で、（ａ）は各点の波形、（ｂ）は（ａ）のｆ点の波形を時間軸を長くして表した図

【符号の説明】

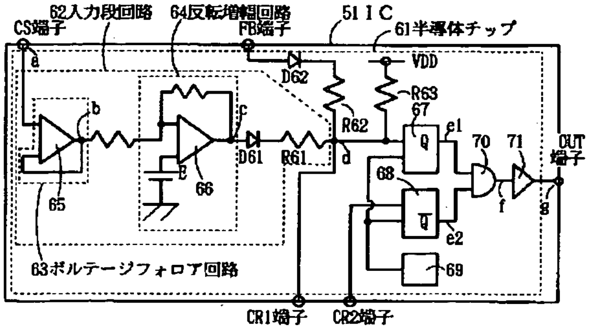
１	ＩＣ
２	入力段回路
３	ｐチャネルＭＯＳＦＥＴ
４	第１バイブレータ
５	第２バイブレータ
６	ＡＮＤ回路
７	バッファ回路
８	クロック回路
９	半導体チップ
１０、３８	ＦＢ回路
１１、３７	フォトカプラー
２１、２２、２３、３１、３２、３３	ｐチャネルＭＯＳＦＥＴ
２４、２５、３４、３５	ｎチャネルＭＯＳＦＥＴ
Ｃ０、Ｃ１、Ｃ２	コンデンサ
Ｒ０、Ｒ１、Ｒ２、Ｒ３、Ｒ１１、Ｒ２１、Ｒ３１	抵抗
Ｄ１１	ダイオード

【図２】

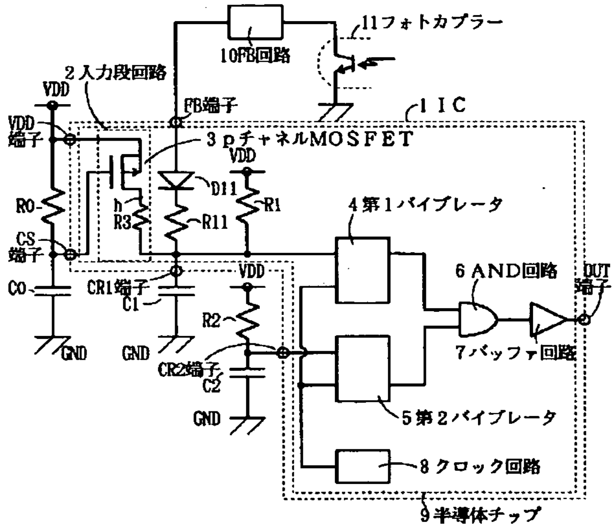


21〜23：pチャネルMOSFET　24、25：nチャネルMOSFET

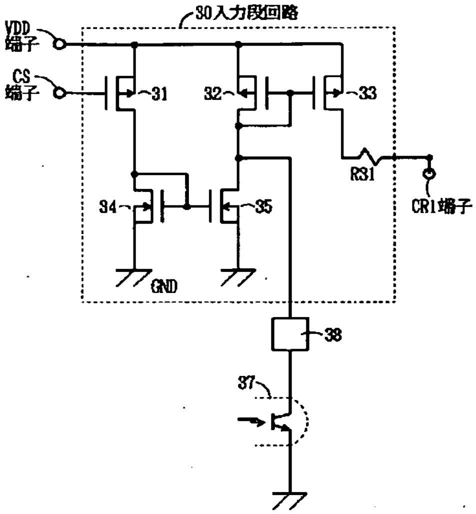
【図５】



【図1】

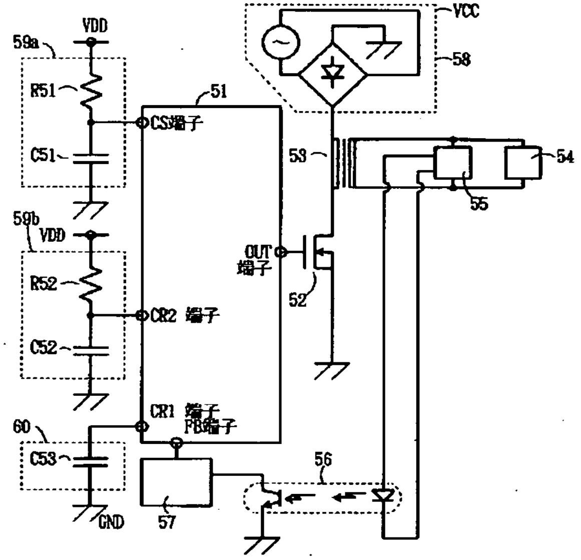


【図3】

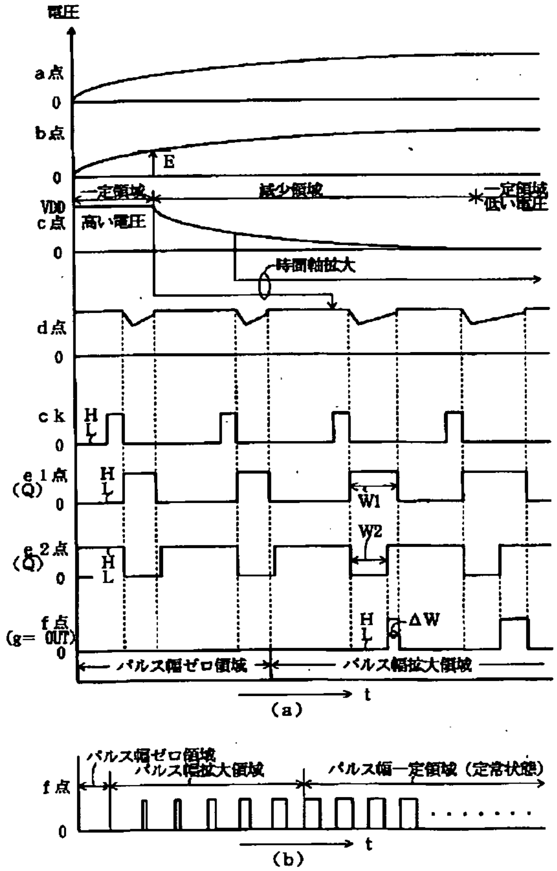


31～33、36・・・pチャネルMOSFET
34、35・・・・・nチャネルMOSFET
37・・・・・・・フォトカプラー
38・・・・・・・FB回路

【図4】



【図6】



フロントページの続き

Ｆターム(参考)　5F038 AV06 AZ03 BB04 BG02 BG06
EZ20
5H410 CC02 DD02 EA11 EA32 EB01
EB37 FF03 FF23 KK02
5J055 AX44 AX57 AX61 AX64 CX19
DX01 EY01 EY10 EY12 EY21
EY28 EZ01 EZ04 EZ25 GX01
GX04